

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-206919

(P2000-206919A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.

G 0 9 G 3/20
3/28

識別記号

6 2 1

F I

G 0 9 G 3/20
3/28

マーク(参考)

6 2 1 G 5 C 0 8 0
H

審査請求 有 請求項の数13 OL (全20頁)

(21)出願番号

特願平11-2353

(22)出願日

平成11年1月7日(1999.1.7)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤倉 克之

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 古橋 直樹

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100097113

弁理士 堀 城之

Fターム(参考) 5C080 AA05 BB05 DD08 DD09 DD26

EE29 FF07 FF12 GG12 HH02

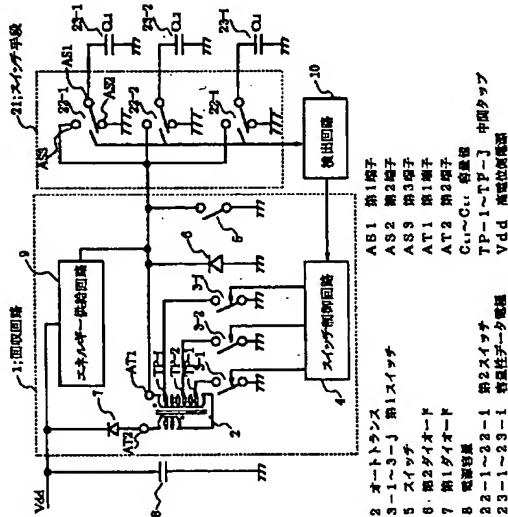
JJ02 JJ03 JJ04

(54)【発明の名称】 ディスプレイ駆動回路及びその駆動方法

(57)【要約】

【課題】 本発明は、PDP等を駆動するための、負荷のエネルギーを回収することができるディスプレイ駆動回路に関し、PDPのデータ電極駆動するような高速動作条件下においても誤動作がなく、高い動作マージンを得ると共に高いエネルギー回収率により低コスト化が図られたディスプレイ駆動回路及びその駆動方法を提供する点にある。

【解決手段】 図1の回路構成図で示すように、本実施の形態1に係るディスプレイ駆動回路は、回収回路1とスイッチ手段2と検出回路10とから概略構成される。



1

【特許請求の範囲】

【請求項1】 複数のデータ電極と複数の走査電極とがマトリクス状に形成されたディスプレイパネルの容量性データ電極を駆動するディスプレイ駆動回路であって、電源から複数の前記容量性データ電極に駆動電圧を供給するエネルギー供給回路と、

1つ又は複数の中間タップを有するオートトランスと、前記中間タップと接地電位との間に各々接続された1個もしくは複数の第1スイッチと、

前記オートトランスの第1端子と複数の前記容量性データ電極との間に接続され、前記容量性データ電極の駆動電圧の状態に従って開閉状態が切替わる複数の第2スイッチと、

該第2スイッチの開閉状態の情報を入力され、この情報を検出信号として出力する検出回路と、

前記検出信号が入力され、この検出信号に従い前記第1スイッチの開閉を制御するスイッチ制御回路と、

前記電源と前記オートトランスの第2端子との間に、カソード端子が前記電源側になるように接続された第1ダイオードと、

前記オートトランスの前記第1端子と前記接地電位との間に、カソード端子が前記オートトランスの前記第1端子側になるように接続された第2ダイオードとを備えたことを特徴とするディスプレイ駆動回路。

【請求項2】 前記第2スイッチは、第1端子と第2端子と第3端子とを有し、第1端子が複数の前記容量性データ電極に接続され、第2端子が接地電位に接続され、第3端子が前記オートトランスの前記第1端子に接続されたことを特徴とする請求項1記載のディスプレイ駆動回路。

【請求項3】 前記第1スイッチは、前記検出信号によりオン・オフ状態が制御されるNチャンネルトランジスタを備え、該Nチャンネルトランジスタの両主電極は前記中間タップと接地電位との間に接続されたことを特徴とする、請求項1又は2記載のディスプレイ駆動回路。

【請求項4】 前記第2スイッチは、第1端子が複数の前記容量性データ電極に接続され、第2端子が前記オートトランスの第1端子に接続され、第3端子が前記エネルギー供給回路に接続され、

第1端子が複数の前記容量性データ電極に接続され、第2端子が接地電位に接続され、第3端子が前記電源に接続された第3スイッチを備え、

前記第2スイッチと前記第3スイッチとで前記オートトランスによる複数の前記容量性データ電極からのエネルギー回収の経路と、エネルギー供給回路の経路とが分離されていることを特徴とする請求項1又は3記載のディスプレイ駆動回路。

【請求項5】 前記第2スイッチは、第1端子が複数の前記容量性データ電極に接続され、第2端子が前記オートトランスの前記第1端子に接続され、第3端子が前記

10

エネルギー供給回路の出力端子に接続され、

前記第2スイッチで前記オートトランスによる複数の前記容量性データ電極からのエネルギー回収の経路と、エネルギー供給回路の経路とが分離されていることを特徴とする請求項1又は3記載のディスプレイ駆動回路。

【請求項6】 前記第2スイッチは、集積化されたデータドライバICであることを特徴とする請求項1乃至3又は5のいずれかに記載のディスプレイ駆動回路。

【請求項7】 前記第2スイッチ及び第3スイッチは、集積化されたデータドライバICであることを特徴とする請求項4記載のディスプレイ駆動回路。

【請求項8】 請求項1乃至7のいずれかに記載のディスプレイ駆動回路を備えたことを特徴とするディスプレイ装置。

【請求項9】 複数のデータ電極と複数の走査電極とがマトリクス状に形成されたディスプレイパネルの容量性データ電極を駆動するディスプレイ駆動方法であって、オートトランスの第1端子と複数の前記容量性データ電極との間に接続され、この容量性データ電極の駆動電圧の状態に従って開閉状態が切替わる複数の第2スイッチを選択して閉状態にし、

検出回路は、前記第2スイッチの開閉状態の情報を入力され、この情報を検出信号として出し、スイッチ制御回路は、前記検出信号が入力され、この検出信号に従って前記オートトランスに設けられた1つ又は複数の中間タップと接地電位との間に各々接続された複数の第1スイッチのうち1つを閉状態にし、複数の前記容量性データ電極と、閉状態にした前記第1スイッチに接続された前記中間タップを起点として前記

20

第1端子側に位置する前記オートトランスの1次側巻線との共振を利用して、複数の前記容量性データ電極に蓄積されていたエネルギーを電流エネルギーとして前記オートトランスに蓄積し、

閉状態にある前記第1スイッチを開状態にし、前記オートトランスに蓄積された前記電流エネルギーを電圧エネルギーに変換し、該電圧エネルギーを、前記オートトランスの第2端子から前記電源に回収することを特徴とするディスプレイ駆動方法。

30

【請求項10】 前記走査電極の選択期間が次の選択期間に移行したとき、複数の前記容量性データ電極と前記オートトランスの前記1次側巻線との共振周波数の変化を補償するように、複数の前記第1スイッチのうち1つを閉状態にすることを特徴とする請求項9記載のディスプレイ駆動方法。

40

【請求項11】 前記走査電極の選択期間が次の選択期間に移行したとき、駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が少ない場合、前記オートトランスの1次側巻線のインダクタンスが大きくなるように複数の前記第1スイッチのうち1つを閉状

50

態にし、

前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が多い場合、前記オートトランスの1次側巻線のインダクタンスが小さくなるように複数の前記第1スイッチのうち1つを閉状態にすることを特徴とする請求項9又は10記載のディスプレイ駆動方法。

【請求項12】 前記走査電極の選択期間が次の選択期間に移行したとき、前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が少ない場合、前記オートトランスの第2端子に近い前記中間タップに接続された前記第1スイッチを排他的に閉状態にし、

前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が多い場合、前記オートトランスの第1端子に近い前記中間タップに接続された前記第1スイッチを排他のに閉状態にすることを特徴とする請求項9乃至11に記載のディスプレイ駆動方法。

【請求項13】 請求項9乃至12のいずれかに記載のディスプレイ駆動方法を実行可能なプログラムが記録された記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマディスプレイパネル等の容量性負荷を駆動する回路に関し、特に負荷エネルギーを回収することができるディスプレイ駆動回路及びその駆動方法に属する。

【0002】

【従来の技術】 従来、液晶ディスプレイ、プラズマディスプレイパネル（以下PDPと称す）、あるいはEL（エレクトロ・ルミネッセント）といったフラットパネルディスプレイが既に世の中に出現している。近年では特にPDPの大画面化が進み、40、50インチといった、CRT（Cathode Ray Tube）では技術的に不可能なサイズの物も実用化されてきており、将来CRTに代わるディスプレイとして大きな期待を集めている。しかし一方では、CRTに比べてまだまだ高価で、しかも消費電力が非常に大きいという問題点を抱えているのが実状である。

【0003】 PDPにはマトリクス状に発光セルが配列されており、これらのセルを発光駆動するための方式として交流駆動型、及び直流駆動型がある。両者のうち現在主流となっているのは交流駆動型である。

【0004】 図9は交流駆動型PDPのパネル及びその駆動回路部分の構成を示したブロック図である。PDPパネル101は、画素数に対応した $k \times n$ 本のデータ電極102を形成したガラス板と、走査電極103と維持電極104を各々 $L \times m$ 本形成したガラス板とを、互いに貼り合わせて封止した構造となっており、現在では1024本程度のデータ電極102と、768本程度の走

査電極103が実用化されている。これら3種類の電極で囲まれた空間領域が発光セルとなり、隣接するセル同士は隔壁により分離されている。セル内には希ガス等からなる混合ガスが封入されており、これらの電極に電圧を印加することによりセル内部では放電が起り発光する。なお、全ての電極は絶縁層により放電空間から隔離されており、駆動回路からみるとPDPパネル101は負荷容量となり、この容量に駆動回路から電荷が充電される過渡状態時にのみ放電が行われる。これが交流駆動型と呼ばれる所以である。 $k \times n$ 本のデータ電極102の入力端子D1～D_kにはデータドライバ105-1～105-kが接続されており、L×m本の走査電極103の入力端子S₁～S_Lには走査ドライバ106-1～106-Lが接続されている。また、L×m本の維持電極104には維持パルス発生器107が接続されており、更に走査ドライバ106-1～106-Lの電源入力端子には図示しない切換えスイッチを介して維持パルス発生器107が接続されている。

【0005】 PDPでは画像の中間調表示を行うために、画面の1フィールドを複数のサブフィールドに分割して輝度変調を行っている。図10は、図9に示すPDP各部の1サブフィールド期間における駆動波形図である。先ず書込期間では、走査ドライバ106-1～106-Lから各走査電極103の入力端子S₁～S_Lに對して走査パルス信号が順次印加され、これに同期してデータドライバ105-1、105-2～105-kからデータ電極102の入力端子D₁～D_kに對して表示信号DAT1～DATkであるデータパルス信号が印加される。これにより各データ電極102と選択状態にある走査電極103との交点上のセルに表示信号DAT1～DATkが印加され、すべての走査電極103を走査することによりPDPパネル101の全てのセルに表示信号DAT1～DATkが書き込まれる。なお、このデータパルス信号の出力駆動電圧VDは、高電位側電源Vdd及び低電位側電源Vss間の二値をとり、各セル内ではこの書き込み情報が保持される。ちなみに、VDの値は70～100V程度で、走査パルス信号は-150～-200V程度である。

【0006】 次に維持期間では、維持パルス発生器107から全ての維持電極104に對して共通の連続した維持パルスを印加する。因みに、維持パルスは-150～-200V程度である。また、全ての走査電極103に對しては走査ドライバ106-1～106-Lの電源入力端子に接続されている図示しない切換えスイッチを維持パルス発生器107側に切換えることにより、維持パルス発生器107から全ての走査電極103に對して共通の連続した維持パルスを印加する。但し、走査電極103に印加する維持パルスは維持電極104に印加するそれとは逆位相のものである。この維持期間においては、書込期間でデータ電極102に高電位側電源Vdd

レベルの信号が書き込まれたセルのみが放電を起こして発光する。また、連続した維持パルスの出力パルス数をサブフィールド毎に変化させることでセルの発光回数が変化するため、視覚的には発光輝度が変化したように見え、中間調表示が可能となる。

【0007】最後に予備放電期間では、予備放電パルス、及び予備放電消去パルスを全ての走査電極103、全ての維持電極104に印加することにより、各セルに保持されていたデータパルス信号を消去し、次の1サブフィールド期間に移る。

【0008】上記の一連の動作において、各データ電極102に印加すべき表示信号DAT1～DATkは図9に示す範囲の外部から低電圧ロジック信号としてデータドライバ105-1～105-kに入力される。データドライバ105-1～105-kではこの表示信号DAT1～DATkを直並列変換して、高電位側電源Vddレベル～GND間の振幅を持つデータパルス信号を得る。図11はデータパルス信号の波形図である。データパルス信号電圧が高電位側電源VddレベルであるかGNDレベルであるかは発光セルに書き込む表示信号DAT1～DATkが「白」であるか「黒」であるかにより決定されるため、その出現パターンは様々である。選択時間Twは1ラインの走査電極103を選択している時間に相当し、選択時間Twの値は約3μsecである。立ち上がり時間t₁、及び立ち下がり時間t₂は約400nsec以内にする必要がある。これは、立ち上がり時間t₁、立ち下がり時間t₂が長くなるとPDPのセルの放電が不安定になり、正常な信号書き込みができなくなるためである。

【0009】上記したPDPの動作において、各電極を駆動するために必要なエネルギーには、セルの放電発光による電流分と、電極に寄生する静電容量の充放電分とがある。これらのうち、静電容量の充放電分によるエネルギーの割合が大きく、これを低減することはPDPの低消費電力化に大きく寄与する。そこで、PDPでは容量の充放電エネルギーを回収することのできる駆動回路を用いている。

【0010】図12はその例として特開平2-81090公報に開示されているディスプレイ駆動回路の構成を*

$$T = \pi \cdot \sqrt{(1 / (L \cdot C_L) - (R / 2L)^2)}$$

$$\approx \pi \cdot \sqrt{(L \cdot C_L)}$$

*示す回路図である。負荷容量123はPDPの電極に相当する。Pチャンネルトランジスタ59（以下P-Trと称す）、及びNチャンネルトランジスタ57（以下N-Trと略す）は駆動出力電圧を高電位側電源Vddレベル若しくはGNDレベルに保持するためのものである。インダクタ41より図面左側はエネルギー回收回路を構成しており、回収されたエネルギーは回収容量46に蓄積される。なお、PDPの電極は少なくとも数百本以上はあるので、1つの電極に対して1個の回收回路を用意したのでは不経済である。そこで、通常は複数本の電極に対して1個の回收回路を用いる。その他、図12中にはダイオード42、44、N-Tr49、定電圧ダイオード50、結合容量51、P-Tr53、定電圧ダイオード54、結合容量55、入力端子61、62、63、64、結合容量66、定電圧ダイオード67、ダイオード68を示す。

【0011】図13は、図12に示す従来の容量負荷駆動回路における負荷エネルギーの回収動作時の波形である。時刻t₁において入力端子61に制御信号を入力してN-Tr49を閉状態にすると、負荷容量123に蓄積されていたエネルギーがインダクタ41、ダイオード42、N-Tr49を通じて回収容量46に回収される。このとき負荷容量123、回収容量46、及びインダクタ41により共振回路が形成され、負荷容量の電圧エネルギーはインダクタ41に電流エネルギーとして移送され、共振による回収電流I_Lが流れる。時刻t₁では、負荷容量123の電圧Voutが回収容量46の電圧Vctに等しくなり、このとき回収電流I_Lは最大になる。次に時刻t₂では、負荷容量123に蓄積されていたエネルギーは全て回収容量46に移送される。更に時刻t₂以降でN-Tr57を閉状態にすることにより、負荷容量123の電圧VoutがGNDレベルに固定される。なお、時刻t₂以降では回収電流I_Lが逆方向に流れようとするが、ダイオード42がブロッキングするため、図13のような半波整流波形となる。

【0012】このとき、負荷容量123の値をC_L、インダクタ41の値をL、回収電流経路における全抵抗分をRとすれば、エネルギーの回収に必要な回収時間Tは

..... (イ)

には、エネルギー回収時の負荷容量123と回収容量46の電位差、及びエネルギー供給時の回収容量46と負荷容量123の電位差をそれぞれ等しくする必要があり、そのためには回収容量46の電圧Vctを、Vct = 1/2 · Vddとする必要がある。しかし、回収動作の際に、エネルギーの回収分と供給分のアンバランスや、回収経路、供給経路上にあるN-Tr49とP-Tr53のオン特性の違いにより、電圧Vctが徐々に変動して前記電圧から外れてくることがある。そこで、1

と表される。この回収時間Tが前述したデータパルス信号の立ち上がり時間t₁、及び立ち下がり時間t₂に相当し、Tは約400nsec以内にする必要がある。実際の装置設計では、T < 400nsecとなるようにL及びC_Lの値を決定し、回収動作を開始してから400nsecとなった時点でエネルギー回収動作を打ち切って、負荷容量123の電圧を高電位側電源Vddレベル又はGNDに保持する動作に移るようとする。

【0013】なお、図12の回路が正常に動作するため

$/2 \cdot V_{dd}$ の電圧値を持つ第2電源 69 及びダイオード 68 を設けることにより、電圧 V_{ct} の変動を補償している。

【0014】ところで、これらの回路の動作電圧は前述した通り 70~200V 程度にも達するので、いずれも高耐圧のパワートランジスタ、及び高耐圧のスイッチングダイオードにより構成されている。しかし、データ電極 102 では、前述したような回収時間 T 内でエネルギー一回収させる必要があり、これらの回路素子の動作遅れ時間を考慮するとタイミング設計上の余裕がないのが実状である。
10

【0015】複数のデータ電極 102 のエネルギーを同時に回収しようとした場合には、ある 1 ラインの走査電極 103 を選択したときに、表示信号 DAT1~DATk のパターンによっては、あるデータ電極 102 からはエネルギーの回収が必要であり、別のデータ電極 102 には逆に回収したエネルギーをデータ電極 102 に供給する必要性が生じる。これらの一連の動作は先に述べた 400nsec の時間内に行う必要があるので、エネルギーの回収、供給の個々の動作において割り当てられる時間は、その半分の 200nsec 以下である。
20

【0016】更に、データ電極 102 では画像の表示パターンによりセルの状態が「白」か「黒」かが決まるため、これによりエネルギーを回収すべきデータ電極 102 の本数が変化する。このことは、式(イ)で C_L が変化することを意味するため、回収時間 T も変化する。例えば、回収すべき電極本数が増加すると回収時間 T が長くなるので、負荷容量のエネルギーを決められた時間内に全て回収することができない。このために、エネルギー一回収効率が低下する。一方、回収すべき電極本数が減少すると今度は回収時間 T が短くなるので、理想的には回収すべき負荷容量の全てのエネルギーを回収することは可能である。しかしながら、回収電極本数が減少すると回収電流 I_L のパルス幅 (T に相当) が短くなり、次第に回收回路内部での損失分が大きくなる。これは以下の理由による。

【0017】PDP のデータ電極駆動電圧は 100V 近くにも達するため、その回收回路には高耐圧の接合型スイッチングダイオードが一般に用いられている。このダイオードは逆回復時間 t_{rr} が比較的長いため、 t_{rr} に対して回収電流 I_L のパルス幅が十分に長ければ問題はないが、パルス幅が短くなると、その電流のほとんどが逆方向電流として貫通してしまう。これは、回収したエネルギーが逆流することを意味し、回収効率の著しい低下をもたらす。

【0018】図 14 は、上記の問題点を改善するため、特開平 10-11015 公報に開示されているディスプレイ駆動回路の構成を示した回路図である。スイッチ手段 121 を構成する複数の第2スイッチ 122-1 ~ 122-i の第1端子には、それぞれデータ電極 10

2 に相当する負荷容量 123-1 ~ 123-i が接続され、第2端子は GND に接続されている。そして前記第2スイッチ 122-1 ~ 122-i の第3端子は一つにまとめられ、その先には回收回路 150 に含まれる複数個のインダクタ 41-1 ~ 41-j の第1端子、及びスイッチ 47、48 の第1端子が接続されている。前記インダクタ 41-1 ~ 41-j の第2端子にはそれぞれダイオード 42-1 ~ 42-j のアノード端子、及びダイオード 44-1 ~ 44-j のカソード端子が接続されている。前記ダイオード 42-1 ~ 42-j のカソード端子にはスイッチ 43-1 ~ 43-j の第1端子が、また前記ダイオード 44-1 ~ 44-j のアノード端子にはスイッチ 45-1 ~ 45-j の第1端子が接続されている。前記スイッチ 43-1 ~ 43-j の第2端子、及び前記スイッチ 45-1 ~ 45-j の第2端子は一つにまとめられ、その先には回収容量 46 の第1端子が接続されている。更に、前記スイッチ 48 の第2端子は高電位側電源 V_{dd} に接続され、前記スイッチ 47 の第2端子、及び前記回収容量 46 の第2端子は GND に接続されている。

【0019】負荷のエネルギーを回収する際、表示信号 DAT1~DATk の状態により決まる第2スイッチ 122-1 ~ 122-i の状態、すなわち回收回路側に閉じている第2スイッチ 122-1 ~ 122-i の個数を検出し、その結果によりスイッチ 43-1 ~ 43-j を切換えることにより、合成インダクタンス値を変化させる。具体的には、回收回路側に閉じているスイッチの個数が少ないと、合成インダクタンス値が大きくなるようにスイッチ 43-1 ~ 43-j を切換えることにより、回収時間 T が必要以上に小さくならないようにし、逆の場合にはインダクタンス値が小さくなるようにすることにより、回収時間 T が必要以上に大きくならないようとする。

【0020】以上説明したように、本従来例によれば複数のインダクタにそれぞれ接続されたスイッチを回収すべき電極の本数に従って切り換えることにより、エネルギー回収効率の低下を防ぐことができる。

【0021】ところで、特開平 10-11015 公報に開示されているディスプレイ駆動回路のスイッチ素子を具体的な回路素子で構成しようとした場合、特開平 2-81090 公報に開示されているような MOSFET を用いた構成が考えられる。特に、負荷のエネルギーを回収するような駆動回路では、そのエネルギー転送路における損失を最小限にしなければならない。そのため、スイッチ素子としては専らパワー MOSFET を用いるのが一般的である。

【0022】図 15 は、特開平 10-11015 公報に開示されているディスプレイ駆動回路のスイッチ素子をパワー MOSFET により構成した回路図である。スイッチ手段 221 を構成する複数の第2スイッチ 222-

1～222-i の第1端子には、それぞれデータ電極102に相当する負荷容量223-1～223-iが接続され、第2端子はGNDに接続されている。そして前記第2スイッチ222-1～222-iの第3端子は一つにまとめられ、その先には回収回路1に含まれる複数個のインダクタ41-1～41-jの第1端子、及びN-Tr57、P-Tr59のドレイン端子が接続されている。前記N-Tr57、P-Tr59のゲート端子には、バッファ58、60の出力端子がそれぞれ接続されている。一方、前記インダクタ41-1～41-jの第2端子にはそれぞれダイオード42-1～42-jのアノード端子、及びダイオード44-1～44-jのカソード端子が接続されている。前記ダイオード42-1～42-jのカソード端子にはN-Tr49-1～49-jのドレイン端子が接続されており、前記N-Tr49-1～49-jのゲート端子には、結合容量51-1～51-jの第1端子、及び定電圧ダイオード50-1～50-jのカソード端子がそれぞれ接続されている。また、前記ダイオード44-1～44-jのアノード端子にはP-Tr53-1～53-jのドレイン端子が接続されており、前記P-Tr53-1～53-jのゲート端子には、結合容量55-1～55-jの第1端子、及び定電圧ダイオード54-1～54-jのアノード端子がそれぞれ接続されている。結合容量51-1～51-j、55-1～55-jの第2端子には、バッファ52-1～52-j、入力端子62-1～62-jを有するバッファ56-1～56-jの出力端子がそれぞれ接続されている。そして、前記N-Tr49-1～49-jのソース端子、前記P-Tr53-1～53-jのソース端子、前記定電圧ダイオード50-1～50-jのアノード端子、及び前記定電圧ダイオード54-1～54-jのカソード端子は一つにまとめられ、その先には回収容量46の第1端子が接続されている。更に、前記P-Tr59のソース端子は高電位側電源Vddに接続され、前記N-Tr57のソース端子、及び前記回収容量46の第2端子はGNDに接続されている。

【0023】図15においてバッファ52-1～52-jはスイッチ手段221の状態検出結果に基づいて入力端子61-1～61-jに入力された信号を増幅して、N-Tr49-1～49-jをオン・オフ制御する。これにより、負荷容量223-1～223-iのエネルギーは複数のインダクタ41-1～41-j、ダイオード42-1～42-j、及びN-Tr49-1～49-jを経由して回収容量46に回収される。ここで、N-Tr49-1～49-jのオン・オフ動作を行うためには、ソース電圧である回収容量46の電圧Vcを基準にして所定のゲート電圧を印加しなければならない。一方、バッファ52-1～52-jを動作させるには電源より電力を供給し、しかも外部から入力端子61-1～61-jに入力された信号により駆動されなければならない。

10
ない。従って、バッファ52-1～52-jとN-Tr49-1～49-jとは直流的に分離する必要があるので、結合容量51-1～51-jを介して各N-Tr49-1～49-jのゲート電極をフローティング駆動する構成をとる。定電圧ダイオード50-1～50-jは、N-Tr49-1～49-jのゲート電圧がソース電圧よりも低くなった場合に導通することでこれをソース電圧にクランプすると共に、ゲート電圧が極端に高くなつた際にも導通することでN-Tr49-1～49-jのゲート耐圧を越えないようとする作用を持つ。

【0024】ここで、図15に示した従来のディスプレイ駆動回路の場合も、正常な回路動作をするためには、エネルギー回収時の負荷容量223-1～223-iと回収容量46の電位差、及びエネルギー供給時の回収容量46と負荷容量223-1～223-iの電位差をそれぞれほぼ等しくする必要があり、前記特開平2-81090公報に開示されているディスプレイ駆動回路と同様、1/2·Vddの電圧値を持つ第2電源が必要となる。

【0025】

【発明が解決しようとする課題】しかしながら、従来技術のディスプレイ駆動回路には以下に掲げる問題点があった。第1は、正常な回路動作をするためには、1/2·Vddの電圧値を持つ第2電源が必要なことである。特にPDP装置のような高電圧、大電流の電源を多值出力化することは大幅なコストアップ要因となる問題があつた。

【0026】第2は、図15のノード65、すなわち回収容量46の第1端子、N-Tr49-1～49-jのソース端子、及びP-Tr53-1～53-jのソース端子はGNDからは電気的にフローティング状態にあることである。データ電極102のエネルギー回収を行う場合には、前述したようにデータ電極102の駆動出力電圧は100V近くにも達する高電圧振幅で動作するために、複数の電極から集めてきたエネルギーを回収しようとすると、ノード65には負荷容量223-1～223-iより回収されたエネルギーが極めて短い時間内に数アンペアのオーダーで流れ込む。このとき、回収容量46が十分に大きな容量値をもつ理想的な容量素子であれば、この電流による流入電荷を平滑化することができるため、ノード65の電圧変動は極めて小さく、図15の回路動作上で全く問題はない。しかし、現実の容量素子には寄生素子成分が含まれているために、このような電流に対してノード65の電圧変動を平滑化しきれない。

【0027】図16は現実の容量素子の等価回路図であり、本来の容量成分70の他に寄生素子として抵抗成分72、73、インダクタンス成分71を含んでいる。これらの内、特にインダクタンス成分が問題で、この成分が大きいと容量値の周波数特性が低下する原因となるの

で、PDPのデータ電極102のエネルギー回収に求められる動作周波数に追随することができなくなる。特にPDPの回収容量に用いるような高耐圧で大容量の容量素子を作製しようとした場合には、大面積の誘電体を挟んだ電極が必要となることから、寄生インダクタンス分が大きくなり易い。

【0028】図17は、図15に示す従来のディスプレイ駆動回路において、回収容量46として現実の高耐圧のフィルムコンデンサを用いて、エネルギー回収動作を行ったときの動作波形である。同図において、時刻 t_0 で $N-T_{49-1} \sim 49-j$ の何れか1個を閉状態にすると、負荷容量 $223-1 \sim 223-i$ のエネルギーが、インダクタ $41-1 \sim 41-j$ を回収電流 I_L となって流れで回収容量46に回収される。それと共に負荷容量 $223-1 \sim 223-i$ における電圧 V_{out} は減少し、時刻 t_2 では負荷のエネルギーはほとんどなくなっている。なお、PDPのデータ電極102のエネルギー回収に必要な回収許容時間は、先に説明したように $t_2 - t_0 = 200\text{ nsec}$ とした。回収容量46には図16の等価回路で示したような寄生素子成分があるために、図17より、回収電流 I_L による過渡的な電荷流入に対して回収容量46が追随できず、ノード65の電圧 V_{ct} が変動している様子が分かる。

【0029】電圧 V_{ct} の変動分を $\Delta V_{ct} = V_{ct} - 1/2 \cdot V_{dd}$ 、定電圧ダイオード $50-1 \sim 50-j$ の順方向電圧を V_p 、 $N-T_{49-1} \sim 49-j$ のゲート端子電圧を V_g とすると、例えば $\Delta V_{ct} > 0$ となった場合には、 $\Delta V_{ct} > V_g + V_p$ となるまで定電圧ダイオード $50-1 \sim 50-j$ は導通しないから、この電圧変動によってゲート～ソース間電圧が低下することになる。これにより、 $N-T_{49-1} \sim 49-j$ のオン抵抗が上昇するので損失が増加し、その結果回収動作が十分に行えなくなり、回収効率が低下するという問題があった。

【0030】また、 ΔV_{ct} が大きくなったときは定電圧ダイオード $50-1 \sim 50-j$ が本来は保護素子として動作するが、現実の定電圧ダイオードでは導通時のコンダクタンスがスイッチングダイオードのように低いものがないため、PDPのデータ電極102駆動時の動作速度に追随させることはできないのが実状である。従って、電圧変動分により $N-T_{49-1} \sim 49-j$ が本来意図しないタイミングで不必要なオン・オフ動作が起り、回収回路が誤動作するなど、動作マージンが狭いという問題点があった。

【0031】以上説明した問題点は、一般的なパワートランジスタのオン・オフ動作に必要なゲート～ソース間電圧振幅は通常10V程度であり、そのゲート閾値電圧は数Vであるから、1V程度の電圧変動であっても影響を受け易いために引き起こされる。特に最近では、ロジックレベル電圧である5Vや3.3Vのゲート電圧振幅

でもオン・オフ動作するものも現れており、このようなパワートランジスタを用いれば入力端子 $61-1 \sim 61-j$ に入力した信号電圧をレベル変換する必要がないことから、ディスプレイ駆動回路の低コストを図ることが可能である。しかし、その一方で、前述した電圧変動1V以下であっても影響を受け易くなり、更に動作マージンが狭くなつて誤動作を起こし易くなるという問題点があった。しかも、PDPの駆動回路の出力は前述した通り高電圧振幅であるから、そのエネルギーも非常に大きい。このような回路では、1箇所のデバイスの誤動作が引き金になり、それが周辺の回路素子に連鎖的に及んで、回路全体の誤動作を引き起こし、ひいてはそれによる回路素子の定格オーバーによる焼損事故などを招きかねないという問題点があった。

【0032】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、PDP等を駆動するための、負荷のエネルギーを回収することができるディスプレイ駆動回路に関し、PDPのデータ電極駆動するような高速動作条件下においても誤動作がなく、高い動作マージンを得ると共に高いエネルギー回収率により低コスト化が図られたディスプレイ駆動回路及びその駆動方法を提供する点にある。

【0033】

【課題を解決するための手段】請求項1記載の本発明の要旨は、複数のデータ電極と複数の走査電極とがマトリクス状に形成されたディスプレイパネルの容量性データ電極を駆動するディスプレイ駆動回路であつて、電源から複数の前記容量性データ電極に駆動電圧を供給するエネルギー供給回路と、1つ又は複数の中間タップを有するオートトランスと、前記中間タップと接地電位との間に各々接続された1個もしくは複数の第1スイッチと、前記オートトランスの第1端子と複数の前記容量性データ電極との間に接続され、前記容量性データ電極の駆動電圧の状態に従つて開閉状態が切換わる複数の第2スイッチと、該第2スイッチの開閉状態の情報が入力され、この情報を検出信号として出力する検出回路と、前記検出信号が入力され、この検出信号に従い前記第1スイッチの開閉を制御するスイッチ制御回路と、前記電源と前記オートトランスの第2端子との間に、カソード端子が前記電源側になるよう接続された第1ダイオードと、前記オートトランスの前記第1端子と前記接地電位との間に、カソード端子が前記オートトランスの前記第1端子側になるよう接続された第2ダイオードとを備えたことを特徴とするディスプレイ駆動回路に存する。請求項2記載の本発明の要旨は、前記第2スイッチは、第1端子と第2端子と第3端子とを有し、第1端子が複数の前記容量性データ電極に接続され、第2端子が接地電位に接続され、第3端子が前記オートトランスの前記第1端子に接続されたことを特徴とする請求項1記載のディスプレイ駆動回路に存する。請求項3記載の本発明の要

旨は、前記第1スイッチは、前記検出信号によりオン・オフ状態が制御されるNチャンネルトランジスタを備え、該Nチャンネルトランジスタの両主電極は前記中間タップと接地電位との間に接続されたことを特徴とする、請求項1又は2記載のディスプレイ駆動回路に存する。請求項4記載の本発明の要旨は、前記第2スイッチは、第1端子が複数の前記容量性データ電極に接続され、第2端子が前記オートトランスの第1端子に接続され、第3端子が前記エネルギー供給回路に接続され、第1端子が複数の前記容量性データ電極に接続され、第2端子が接地電位に接続され、第3端子が前記電源に接続された第3スイッチを備え、前記第2スイッチと前記第3スイッチとで前記オートトランスによる複数の前記容量性データ電極からのエネルギー回収の経路と、エネルギー供給回路の経路とが分離されていることを特徴とする請求項1又は3記載のディスプレイ駆動回路に存する。請求項5記載の本発明の要旨は、前記第2スイッチは、第1端子が複数の前記容量性データ電極に接続され、第2端子が前記オートトランスの前記第1端子に接続され、第3端子が前記エネルギー供給回路の出力端子に接続され、前記第2スイッチで前記オートトランスによる複数の前記容量性データ電極からのエネルギー回収の経路と、エネルギー供給回路の経路とが分離されていることを特徴とする請求項1又は3記載のディスプレイ駆動回路に存する。請求項6記載の本発明の要旨は、前記第2スイッチは、集積化されたデータドライバICであることを特徴とする請求項1乃至3又は5のいずれかに記載のディスプレイ駆動回路に存する。請求項7記載の本発明の要旨は、前記第2スイッチ及び第3スイッチは、集積化されたデータドライバICであることを特徴とする請求項4記載のディスプレイ駆動回路に存する。請求項8記載の本発明の要旨は、請求項1乃至7のいずれかに記載のディスプレイ駆動回路を備えたことを特徴とするディスプレイ装置に存する。請求項9記載の本発明の要旨は、複数のデータ電極と複数の走査電極とがマトリクス状に形成されたディスプレイパネルの容量性データ電極を駆動するディスプレイ駆動方法であって、オートトランスの第1端子と複数の前記容量性データ電極との間に接続され、この容量性データ電極の駆動電圧の状態に従って開閉状態が切換わる複数の第2スイッチを選択して閉状態にし、検出回路は、前記第2スイッチの開閉状態の情報が入力され、この情報を検出信号として出力し、スイッチ制御回路は、前記検出信号が入力され、この検出信号に従って前記オートトランスに設けられた1つ又は複数の中間タップと接地電位との間に各々接続された複数の第1スイッチのうち1つを閉状態にし、複数の前記容量性データ電極と、閉状態にした前記第1スイッチに接続された前記中間タップを起点として前記第1端子側に位置する前記オートトランスの1次側巻線との共振を利用して、複数の前記容量性データ電極

に蓄積されていたエネルギーを電流エネルギーとして前記オートトランスに蓄積し、閉状態にある前記第1スイッチを開状態にし、前記オートトランスに蓄積された前記電流エネルギーを電圧エネルギーに変換し、該電圧エネルギーを、前記オートトランスの第2端子から前記電源に回収することを特徴とするディスプレイ駆動方法に存する。請求項10記載の本発明の要旨は、前記走査電極の選択期間が次の選択期間に移行したとき、複数の前記容量性データ電極と前記オートトランスの前記1次側巻線との共振周波数の変化を補償するように、複数の前記第1スイッチのうち1つを閉状態にすることを特徴とする請求項9記載のディスプレイ駆動方法に存する。請求項11記載の本発明の要旨は、前記走査電極の選択期間が次の選択期間に移行したとき、駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が少ない場合、前記オートトランスの1次側巻線のインダクタンスが大きくなるように複数の前記第1スイッチのうち1つを閉状態にし、前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が多い場合、前記オートトランスの1次側巻線のインダクタンスが小さくなるように複数の前記第1スイッチのうち1つを閉状態にすることを特徴とする請求項9又は10記載のディスプレイ駆動方法に存する。請求項12記載の本発明の要旨は、前記走査電極の選択期間が次の選択期間に移行したとき、前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が少ない場合、前記オートトランスの第2端子に近い前記中間タップに接続された前記第1スイッチを排他的に閉状態にし、前記駆動電圧が高電位から低電位に状態変化する前記容量性データ電極の本数が多い場合、前記オートトランスの第1端子に近い前記中間タップに接続された前記第1スイッチを排他のに閉状態にすることを特徴とする請求項9乃至11に記載のディスプレイ駆動方法に存する。請求項13記載の本発明の要旨は、請求項9乃至12のいずれかに記載のディスプレイ駆動方法を実行可能なプログラムが記録された記憶媒体に存する。

【0034】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

(実施の形態1) 図1は、本発明の実施の形態1に係るディスプレイ駆動回路の構成を示す回路図である。図1の回路構成図で示すように、本実施の形態1に係るディスプレイ駆動回路は、回收回路1とスイッチ手段21と検出回路10とから概略構成される。

【0035】スイッチ手段21は、複数の第2スイッチ22-1～22-iにより構成されており、第2スイッチ22-1～22-iの第1端子AS1は容量性データ電極23-1～23-iにそれぞれ接続されている。また、第2スイッチ22-1～22-iの第2端子AS2はGNDに接続されている。更に、第2スイッチ22-

1～22-iの第3端子AS3は共通に接続されており、これが回収回路1の入出力端子に接続されている。なお、第2スイッチ22-1～22-iは集積化してデータドライバICとして用いることが多い。

【0036】回収回路1は、オートトランス2、第1スイッチ3-1～3-j、スイッチ5、スイッチ制御回路4、第2ダイオード6、第1ダイオード7、電源容量8、及びエネルギー供給回路9によって構成されている。回収回路1の入出力端子には、オートトランス2の第1端子AT1、スイッチ5の第1端子、第2ダイオード6のカソード端子、及びエネルギー供給回路9の出力端子に接続されている。オートトランス2の第2端子AT2は第1ダイオード7のアノード端子に接続されている。オートトランス2にはj個の中間タップTP-1～TP-jが設けてあり、ここに第1スイッチ3-1～3-jの第1端子が接続されている。また、第1ダイオード7のカソード端子は高電位側電源Vdd、電源容量8、及びエネルギー供給回路9の入力端子に接続されている。更に、スイッチ5の第2端子、第2ダイオード6のアノード端子、及び第1スイッチ3-1～3-jの第2端子はGNDに接続されている。

【0037】検出回路10には、スイッチ手段21内の第2スイッチ22-1～22-iの開閉状態の情報が入力される。そして、検出回路10の出力はスイッチ制御回路4に入力されており、スイッチ制御回路4の出力は第1スイッチ3-1～3-jの制御入力端子に接続されている。

【0038】次に、本発明の実施の形態1に係るディスプレイ駆動回路におけるエネルギー回収時の動作について説明する。図11のデータパルス信号の波形において、選択期間Twが次の走査電極103の選択期間Twに移ったときに、容量負荷であるデータ電極102の状態が高電位側電源VddレベルからGNDレベルに変化するデータ電極102からエネルギーを回収すれば良い。すなわち、図1においてこのような状態にある容量性データ電極23-1～23-iに接続されている、スイッチ手段21内の第2スイッチ22-1～22-iの第1端子AS1を選択して第3端子側AS3に切り換える。その際、第3端子側に切り換えられている第2スイッチ22-1～22-iの個数を検出回路10により検出する。

【0039】第2スイッチ22-1～22-iの開閉状態は、次の走査電極103の選択期間Twで任意のデータ電極102の駆動信号の状態がどのように変化するかで決まるので、元となる表示信号DAT1～DATkの状態変化を検出すれば良いことになる。その具体的な検出方法の例としては、前記特開平10-11015公報に記載されているように、A/Dメモリ回路内部の表示信号データを参照すれば、次の走査電極103の選択期間Twに移行する前後で任意のデータ電極102の状態が

どうなるかが分かる。あるいは、上記したように、データドライバ105-1～105-kでは図9のPDPのブロック図で示した通り、データドライバ105-kに入力された表示信号DATkがその内部でデータ蓄積されて直並列変換されるので、この蓄積データを参照して、次の走査電極103の選択期間Twでデータ電極102の状態が高電位から低電位に変化するデータ電極102の本数を検出しても良い。

【0040】検出回路10は、検出結果をスイッチ制御回路4に送り、スイッチ制御回路4ではその結果により、第1スイッチ3-1～3-jの内でどのスイッチをオン状態にするかを判断する。具体例としては、検出回路10は検出個数をコード化してスイッチ制御回路4に送り、スイッチ制御回路4では、コード化された検出個数が小さいときには、オートトランス2の中間タップTP-1～TP-jに接続されている第1スイッチ3-1～3-jの内、第2端子AT2側に近いスイッチをオン状態にする。逆に、検出個数が大きいときには、第1端子AT1側に近いスイッチをオン状態にする。このように切換える理由については後述する。

【0041】図2は、本発明の実施の形態1に係るディスプレイ駆動回路におけるエネルギー回収時の動作波形図である。時刻t₁において第2スイッチ22-1～22-iを選択的に第3端子AS3側に切換え、更に前記スイッチ制御回路4により第1スイッチ3-1～3-jの何れか1つのスイッチをオン状態にする。このとき、選択された中間タップの位置を起点として第2ダイオード6のカソード端子側に接続されている巻線を1次側巻線、又同様に第1ダイオード7のアノード端子側に接続されている巻線を2次側巻線と見なすことができる。すると、容量性データ電極23-1～23-iに蓄積されていたエネルギーは電流I_{L1}となって、オートトランス2の1次側巻線及び第1スイッチ3-1～3-jの内でオン状態にある1つのスイッチを通り、GNDへと流れる。なお、オートトランス2の2次側巻線の電流は第1ダイオード7側によりブロッキングされているため流れない。この動作において、容量性データ電極23-1～23-i、及びオートトランス2の1次側巻線のインダクタンスにより共振回路が形成されている。そして、時刻t₂においては負荷容量の電圧Vout=0V、すなわち電圧エネルギーはゼロとなり、オートトランス2の1次側巻線の電流I_{L1}は最大、すなわちエネルギーは全て移送されたことになる。このとき、回収の対象となっている容量性データ電極23-1～23-iの容量値C_{L1}～C_{L4}の合計をC_L、オートトランス2の1次側巻線のインダクタンス値をL₁、回収電流経路における全抵抗分をRとすれば、エネルギーの移送に必要な回収時間T=t₂-t₁は共振周波数の1/4周期に相当し、(口)式で表される。

【0042】

17

$$T = (\pi/2) \cdot \sqrt{1/(L \cdot C_L)} - (R/2L)^2 \\ \approx (\pi/2) \cdot \sqrt{(L \cdot C_L)}$$

時刻 t_1 ~ t_2 間では共振回路により電圧 V_{out} が負電位になろうとするのに対して、第2ダイオード6が導通するので、 I_{L1} はオートトランス2の1次側巻線→第1スイッチ3-1 (3-2, 3-j) →GND→第2ダイオード6の順に流れ、 I_{L1} は時刻 t_2 までの間保持される。なお、この間の適当なタイミングでスイッチ5をオン状態にするか、あるいは時刻 t_1 において選択的に第3端子AS3側に切り換えた第2スイッチ22-1~22-iを第2端子AS2側に切り換えることにより、エネルギー移送後の容量性データ電極の電圧 V_{out} をGNDに保持する。従って、スイッチ5は省略することも可能である。

【0043】次に、時刻 t_2 においてオン状態にした前記第1スイッチ3-1~3-jをオフ状態にすると、オートトランス2の1次側巻線に蓄積されていた電流エネルギーの流出路が遮断されるため、今度はオートトランス2の2次側巻線に電圧エネルギーとして高電位側電源 V_{dd} レベルよりも高い電圧 V_{L2} が発生する。すると、第1ダイオード7には順方向電流が流れるので、そのエネルギーが電流エネルギーとして高電位側電源 V_{dd} の出力端子に接続された電源容量8に流れ。これで負荷容量のエネルギーが電源に戻されることになる。こ*

$$M = k \cdot \sqrt{(L_1 \cdot L_2)}$$

但し、各インダクタの巻線は、 $M > 0$ となる方向に巻くものとする。また、上式において、 k の値は $-1 \leq k \leq 1$ であるが、一般的なオートトランスの場合はほぼ $k \approx 1$ と考えて良い。これは、オートトランス2の L_1 、 L_2 が完全に結合していることを意味し、1つの磁気コアに巻かれた2つの独立した巻線の片方に電流を流していく状態においては、それによってコアに発生する磁束と※

$$L' = L_1 + L_2 + 2M$$

$$\approx L_1 + L_2 + 2\sqrt{(L_1 \cdot L_2)}$$

となって大きくなる。そこで、図5の回路で、エネルギーを高電位側電源 V_{dd} に戻すときのピーク電流を I_{L1} とすれば、第1スイッチ3-jの切換の直前、直後★

$$W = 1/2 \cdot L_1 \cdot I_{L1}^2 = 1/2 \cdot L' \cdot I_{L1}^2$$

となり、

$$I_{L1} = \sqrt{(L_1 / L')} \cdot I_{L1}^*$$

と表され、 I_{L1} は I_{L1}^* よりも減少する。従って、エネルギーを高電位側電源 V_{dd} に戻すときのピーク電流を低く抑えることができる。これにより、電流経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率の向上を図ることができる。

【0046】図3は、上記したエネルギー回収動作において、回収すべきデータ電極102の本数が少ない場合の動作波形図である。負荷容量の値 C_L が小さくなるので、オートトランス2の1次側巻線のインダクタンス L_1 を大きくしてエネルギーの移送に必要な回収時間 T が

18

..... (口)

*のときの、電流経路は、GND→第2ダイオード6→オートトランス2の1次側巻線+2次側巻線→第1ダイオード7→電源容量8となる。ここで、電源容量8の電圧 V_{c1} は初期状態では $V_{c1} = V_{dd}$ であるが、エネルギーの流入により ΔV_{c1} だけ上昇する。しかし、実際のPDP装置等の電源にはスイッチング電源等の安定化電源を用いるので、安定化電源はこの電圧変動 ΔV_{c1} をゼロに補正するために、電源内部での出力を抑えるように作用する。これは、安定化電源が装置にエネルギーを供給するために、商用電源ラインから取り出すエネルギーが本来よりも少なくて済むことを意味する。すなわち、消費電力の低減になる。

【0044】エネルギー回収動作時におけるオートトランス2の作用について説明する。図5は、前記1次側巻線及び2次側巻線と見なしたインダクタンスをそれぞれ L_1 、 L_2 とした場合の、インダクタで等価的に表したオートトランス2、及びその周辺部分の回路図である。オートトランスの L_1 、 L_2 の間にはインダクタンス結合が存在するから、相互インダクタンス M が存在する。 L_1 、 L_2 の結合係数を k とすれば、相互インダクタンス M は次式で表される。

【0045】

..... (ハ)

※同じ大きさの磁束が、もう一方の巻線にも鎮交している。従って、第1スイッチ3-jがオン状態のときに L_2 では、電流が流れていなくてもかかわらず磁束によるエネルギーが蓄積されていることになる。このような状態で第1スイッチ3-jをオンからオフ状態にすると、 L_1 及び L_2 は、今度は直列接続となるので、オートトランス2のインダクタンス L' は

..... (ニ)

★ではオートトランス2のものエネルギー W は保存されるので、

..... (ホ)

..... (ヘ)

大幅に小さくならないよう補償する。この場合、 C_L からのエネルギー移送電流 I_{L1} が小さくなるので、電流経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率の向上を図ることができ。この損失を P とすれば、 $P = I_{L1}^2 \cdot R$ で表されるから、 I_{L1} を小さくすることは損失の低減に極めて有効である。

【0047】一方、図4は、上記したエネルギー回収動作において、回収すべきデータ電極102の本数が多い場合の動作波形図である。負荷容量の値 C_L が大きくな

るので、オートトランス2の1次側巻線のインダクタンス L_1 を小さくしてエネルギーの移送に必要な回収時間 T が大きくなないように補償する。この場合、 C_L からのエネルギー移送電流 I_{L1} は図14で説明したような従来のディスプレイ駆動回路と同様に大きくなるが、(へ)式によりオートトランス2から高電位側電源 V_{dd} にエネルギーを戻すときの電流 I_{L1} は小さくなるので、回収経路に存在する抵抗分によるエネルギー損失を従来のディスプレイ駆動回路よりも少なくすることができます、エネルギー回収効率の向上を図ることができる。なお、負荷容量の値 C_L が大きくなると回収すべきエネルギーも大きくなり、そのエネルギーを少ない電流 I_{L1} で高電位側電源 V_{dd} に戻そうとすると、それに必要な時間(図2の $t_3 - t_2$ に相当)も大幅に長くなる。しかし、本実施の形態1のディスプレイ駆動回路では、従来のディスプレイ駆動回路とは異なり、エネルギー供給回路9を別に設けたことから、オートトランス2は回収動作にしか使用されない。従って、エネルギーを回収すべきデータ電極102のエネルギーをオートトランス2に移送できてしまえば、その後はエネルギーを供給すべきデータ電極102に対して、供給手段9からエネルギーを供給すれば良く、この間の動作割り当て許容時間は先述の通り約400nsecである。これにより、オートトランス2は保持しているエネルギーを、次の走査ラインが選択されるまでの間、すなわち3μsec-400nsec=2.6μsecの間で高電位側電源 V_{dd} に戻せば良く、全く問題はない。

【0048】ところで、図5の等価回路図で、仮に L_1, L_2 が結合係数 $k=0$ の単純な2個のインダクタの直列接続であるとした場合には、第1スイッチ3-jをオン状態にして L_1 に電流を流した状態では、 L_2 のエネルギーはゼロである。従って、第1スイッチ3-jをオン-オフ状態にしたときに L_1 の電流エネルギーを一旦 L_2 に移送する必要が生じる。しかし、インダクタからインダクタへ直接エネルギー移送を行うと、大きなエネルギー損失を伴うので、本発明のディスプレイ駆動回路と同様の動作を実現することはできず、エネルギー回収効率が極端に低下する。

【0049】次に、負荷容量へのエネルギー供給時の動作について説明する。図11のデータパルス信号の波形図において、次の走査電極103の選択期間 T_w に移った時に、容量負荷であるデータ電極102の状態がGNDから高電位側電源 V_{dd} レベルに変化するデータ電極102に対して駆動回路からエネルギーを供給すれば良い。このような状態にある容量性データ電極23-1~23-iに接続されている、第2スイッチ22-1~22-iを第3端子AS3側に切り換えて、高電位側電源 V_{dd} からエネルギー供給回路9を通じて、容量性データ電極23-1~23-iにエネルギーを供給する。

【0050】実施の形態1に係るディスプレイ駆動回路

は上記の如く構成されているので、以下に掲げる効果を奏する。回収したエネルギーを高電位側電源 V_{dd} に戻すときのピーク電流を低く抑えることができるので、電流経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率が向上するという効果を有する。更に、従来例のように第2電源を必要としないので、PDPシステム全体としての低コスト化できる。

【0051】(実施の形態2)図6は、本発明の実施の形態2に係るディスプレイ駆動回路の構成を示す回路図である。本実施の形態2のディスプレイ駆動回路は、回収回路1Aとスイッチ手段21Aと検出回路10とから概略構成される。スイッチ手段21Aの構成は、実施の形態1におけるスイッチ手段21と同様であるため省略する。

【0052】回収回路1Aは、実施の形態1で用いていた第1スイッチ3-1~3-j、スイッチ5の代わりに、N-Tr13-1~13-j、N-Tr12、及びバッファ14-1~14-j、バッファ17を用いている点が異なる。その他、オートトランス2、スイッチ制御回路4、第2ダイオード6、第1ダイオード7、電源容量8、及びエネルギー供給回路9によって構成されている点は実施の形態1と同様である。回収回路1Aの出入力端子には、オートトランス2の第1端子AT1、N-Tr12のドレイン端子、第2ダイオード6のカソード端子、及びエネルギー供給回路9の出力端子に接続されている。オートトランス2の第2端子AT2は第1ダイオード7のアノード端子に接続されている。オートトランス2にはj個の中間タップTP1~TP-jが設けてあり、ここにN-Tr13-1~13-jのドレイン端子が接続されている。また、第1ダイオード7のカソード端子は高電位側電源 V_{dd} 、電源容量8、及びエネルギー供給回路9の入力端子に接続されている。更に、N-Tr12のソース端子、第2ダイオード6のアノード端子、及びN-Tr13-1~13-jのソース端子はGNDに接続されている。なお、実施の形態1と同様、N-Tr12、及びバッファ17は省略が可能である。

【0053】検出回路10には、スイッチ手段21A内の第2スイッチ22-1~22-iの開閉状態の情報が入力される。そして、検出回路10の出力はスイッチ制御回路4に入力されており、スイッチ制御回路4の出力は、バッファ14-1~14-jを介してN-Tr13-1~13-jのゲート端子に接続されている。

【0054】第2スイッチ22-1~22-iの開閉状態の具体的な検出方法、エネルギー回収時のタイミング制御、及びオートトランス2の動作については、実施の形態1と同様であるため省略する。

【0055】本実施の形態2の場合も現実の電源容量8には高耐圧で大容量の容量素子を用いるため、図16の

等価回路図に示したような寄生素子成分が存在する。よって、 $N-Tr13-1 \sim 13-j$ をオフ状態にして、オートトランジスタのエネルギーが第1ダイオード7を通じて高電位側電源Vd-dに戻されるときには、やはり高電位側電源Vd-dの電圧変動が起こる。しかし、本実施の形態2では $N-Tr13-1 \sim 13-j$ のソース端子がGNDに接続されているので、これらのゲート～ソース間電圧は、前記変動の影響を受けない。従って、PD-Pのデータ電極駆動するような高速動作条件下においても、 $N-Tr13-1 \sim 13-j$ のオン抵抗の上昇や、不安定なオン・オフ動作、あるいはゲート～ソース間耐圧を越えてしまうことがなくなる。

【0056】実施の形態2に係るディスプレイ駆動回路は上記の如く構成されているので、実施の形態1の奏する効果の他に以下に掲げる効果を奏する。PDPのデータ電極駆動するような高速動作条件下においても、N-Tr13-1～13-jのオン抵抗の上昇や、不安定なオン・オフ動作、あるいはゲート～ソース間耐圧を越えてしまうことがなくなり、ディスプレイ駆動回路の動作マージンが大幅に向向上する。

【0057】(実施の形態3) 図7は、本発明の実施の形態3に係るディスプレイ駆動回路の構成を示す回路図である。実施の形態3のディスプレイ駆動回路は、回収回路1Bとスイッチ手段21Bと検出回路10とから概略構成される。

【0058】スイッチ手段21Bは、複数の第2スイッチ24-1～24-i、及び第3スイッチ25-1～25-iにより構成されている。第3スイッチ25-1～25-iにおいて、その第1端子BS1は容量性データ電極23-1～23-iにそれぞれ接続されており、第2端子BS2はGNDに、更に第3端子BS3は高電位側電源Vddに接続されている。また、第2スイッチ24-1～24-iにおいて、その第1端子AS11はそれぞれ個別に第3スイッチ25-1～25-iの第1端子BS1に接続されており、第2端子AS22は共通に接続されており、これが回収回路1Bの入力端子に接続されている。更に、第2スイッチ24-1～24-iの第3端子AS33は共通に接続されており、これが回収回路1Bのエネルギー供給回路9の出力端子に接続されている。なお、第2スイッチ24-1～24-i、及び第3スイッチ25-1～25-iは全て集積化してデータドライバICとして用いることが多い。

【0059】回收回路1Bの構成要素は実施の形態1と同様であるため省略するが、本実施の形態3では、オートラ ns 2 の第1端子AT1、スイッチ5の第1端子、第2ダイオード6のカソード端子が接続されたノードが、回收回路1Bの入力端子となり、一方、エネルギー供給回路9の出力端子が回收回路1Bの出力端子となっている点が、実施の形態1とは異なる。なお、実施の形態1と同様にスイッチ5は省略することも可能であ

〔0060〕本実施の形態3において、スイッチ手段21Bと回收回路1Bとの間でエネルギーの回収、供給経路が完全に分離している。このため、従来はエネルギーの回収と供給を順番に行い、そのときの動作割り当て時間は合計で約400nsecであったが、本実施の形態3ではエネルギーの回収・供給動作を同時にを行うことができるので、前記動作割り当て時間を大幅に増やすことができる。従って、回收回路1B内のスイッチング第2ダイオード6、第1ダイオード7の逆回復時間 T_{rr} に対しても時間的余裕ができるため、内部エネルギー損失を低くすることができる。また、実施の形態1の場合と同じエネルギーを回収すると想定すれば、オートトランズ2の1次側巻線のインダクタンスL₁を増やすことで、エネルギー移送電流をより少なくすることができる。回収経路に存在する抵抗分によるエネルギー損失を少なくすることができ、やはりエネルギー回収効率を向上させることができる。

【0061】実施の形態3に係るディスプレイ駆動回路
20 は上記の如く構成されているので、実施の形態1及び実施の形態2の奏する効果の他に以下に掲げる効果を奏する。実施の形態2と同じエネルギーを回収すると想定すれば、オートトランス2の1次側巻線のインダクタンス L_1 を増やすことで、エネルギー移送電流をより少なくすることができるので、回収経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率が向上する。

〔0062〕(実施の形態4)図8は、本発明の実施の形態4に係るディスプレイ駆動回路の構成を示す回路図である。実施の形態4のディスプレイ駆動回路は、回收回路1Cとスイッチ手段21Cと検出回路10とから概略構成される。スイッチ手段21Cは、複数の第2スイッチ24-1～24-iにより構成されている。その第1端子AS1は容量性データ電極23-1、23-2、23-iにそれぞれ接続されている。また、その第2端子AS2は共通に接続されており、これが回收回路1Cの入力端子に接続されており、更にその第3端子AS3は共通に接続されており、これが回收回路1Cのエネルギー供給回路9の出力端子300に接続されている。なお、第2スイッチ24-1～24-iは全て集積化してデータドライバICとして用いることが多い。回收回路1Cの構成要素は実施の形態3と同様であるため省略する。

【0063】本実施の形態4の場合も、実施の形態3と同様にスイッチ手段21Cと回收回路1Cとの間でエネルギーの回収、供給経路が完全に分離しているため、エネルギー回収、供給それぞれの動作において、その割り当て許容時間である約400nsecを全て使用することができる。従って、実施の形態1の場合と同じエネルギーを回収する際には、オートトランジスタの1次側巻線

の電流をより少なくすることができますから、回収経路に存在する抵抗分によるエネルギー損失を少なくすることができます。

【0064】また、実施の形態4の場合には、実施の形態3におけるスイッチ手段21Bよりもスイッチ手段21Cの構成を簡略化することができることから、スイッチ手段21Cの低コスト化が可能である。但し、エネルギー回収動作完了後に容量性データ電極23-1～23-iの端子電圧を高電位側電源Vdd、若しくはGNDに固定する必要があるため、図8において、スイッチ5と、エネルギー供給回路9の出力を高電位側電源Vddに固定する手段がそれぞれ必要である。

【0065】実施の形態4に係るディスプレイ駆動回路は上記の如く構成されているので、実施の形態1乃至実施の形態3の奏する効果の他に以下に掲げる効果を奏する。スイッチ手段21Cの構成を簡略化することができることから、スイッチ手段21Cの低コスト化ができる。

【0066】なお、本実施の形態においては、本発明はそれに限定されず、本発明を適用する上で好適なディスプレイ装置の駆動回路及びその駆動方法に適用することができる。

【0067】また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができます。

【0068】なお、各図において、同一構成要素には同一符号を付している。

【0069】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。回収したエネルギーを電源に戻すときのピーク電流を低く抑えることができるので、電流経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率が向上するという効果を有する。更に、従来例のように第2電源を必要としないので、PDPシステム全体としての低コスト化が可能である。

【0070】また、N-Trのソース端子がGNDに接続されているので、これらのゲート～ソース間電圧は、電源の電圧変動の影響を受けない。従って、PDPのデータ電極駆動するような高速動作条件下においても、N-Trのオン抵抗の上昇や、不安定なオン・オフ動作、あるいはゲート～ソース間耐圧を越えてしまうことがなくなり、ディスプレイ駆動回路の動作マージンが大幅に向上升す。

【0071】また、エネルギーの回収、供給経路が完全に分離しているので、エネルギーの回収・供給動作を同時にを行うことができ、動作割り当て時間を大幅に増やすことができる。従って、同じエネルギーを回収すると想定すれば、オートトランジスタの1次側巻線のインダクタンスを増やすことで、エネルギー移送電流をより少なくす

ることができるので、回収経路に存在する抵抗分によるエネルギー損失を少なくすることができ、エネルギー回収効率が向上する。

【0072】更に、スイッチ手段の構成を簡略化することができることから、スイッチ手段の低コスト化が可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るディスプレイ駆動回路の構成を示す回路図である。

【図2】図1のエネルギー回収時の動作波形図である。

【図3】図1のエネルギー回収動作で、回収すべきデータ電極の本数が少ない場合の動作波形図である。

【図4】図1のエネルギー回収動作で、回収すべきデータ電極の本数が多い場合の動作波形図である。

【図5】図1のオートトランジスタのインダクタンスを等価的に表した回路図である。

【図6】本発明の実施の形態2に係るディスプレイ駆動回路の構成を示す回路図である。

【図7】本発明の実施の形態3に係るディスプレイ駆動回路の構成を示す回路図である。

【図8】本発明の実施の形態4に係るディスプレイ駆動回路の構成を示す回路図である。

【図9】従来技術の交流駆動型PDPの駆動回路部分の構成の一例を示したブロック図である。

【図10】図9のPDP各部の1サブフィールド期間における駆動波形図である。

【図11】図9のデータパルス信号の波形図である。

【図12】従来のディスプレイ駆動回路の構成の一例を示す回路図である。

【図13】図12の負荷エネルギーの回収動作時の波形である。

【図14】従来のディスプレイ駆動回路の他の構成の一例を示した回路図である。

【図15】図14のスイッチ素子をパワーMOSFETで構成した回路図である。

【図16】図14の現実の容量素子の等価回路図である。

【図17】図14の回収容量として現実の容量素子を用いてエネルギー回収動作を行った時の動作波形である。

【符号の説明】

AS1、AS11、BS1 第1端子

AS2、AS22、BS2 第2端子

AS3、AS33、BS3 第3端子

AT1 第1端子

AT2 第2端子

C_{L1}～C_{Ln} 容量値

DAT1～DATk 表示信号

D1～DKn 入力端子

I_L 回収電流

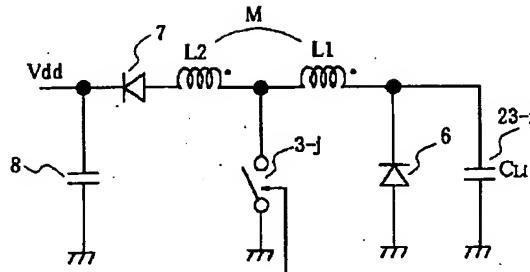
S₁～S_{Lm} 入力端子

t_f 立ち下がり時間
 t_r 立ち上がり時間
 TP-1～TP-j 中間タップ
 T_w 選択時間
 t_0, t_1, t_2 時刻
 T 回収時間
 V_{ct}, V_{out} 電圧
 V_{dd} 高電位側電源
 1、1A、1B、1C 回収回路
 2 オートトランス
 3-1～3-j 第1スイッチ
 4 スイッチ制御回路
 5 スイッチ
 6 第2ダイオード
 7 第1ダイオード
 8 電源容量
 9 エネルギー供給回路
 10 検出回路
 12、13-1～13-j N-Tr
 14-1～14-j バッファ
 17 バッファ
 21、21A、21B、21C スイッチ手段
 22-1～22-i 第2スイッチ
 23-1～23-i 容量性データ電極
 24-1～24-i 第2スイッチ
 25-1～25-i 第3スイッチ
 41、41-1～41-j インダクタ
 42、42-1～42-j ダイオード
 43-1～43-j スイッチ
 44、44-1～44-j ダイオード
 45-1～45-j スイッチ
 46 回収容量
 47、48 スイッチ
 49、49-1～49-j N-Tr
 50、50-1～50-j 定電圧ダイオード

* 51、51-1～51-j 結合容量
 52-1～52-j バッファ
 53、53-1～53-j P-Tr
 54、54-1～54-j 定電圧ダイオード
 55、55-1～55-j 結合容量
 56-1～56-j バッファ
 57 N-Tr
 58 バッファ
 59 P-Tr
 10 60 バッファ
 61、61-1～61-j、62、62-1～62-j、63、64 入力端子
 65 ノード
 66 結合容量
 67 定電圧ダイオード
 68 ダイオード
 69 第2電源
 70 容量成分
 71 インダクタンス成分
 20 72、73 抵抗成分
 101 PDPパネル
 102 データ電極
 103 走査電極
 104 維持電極
 105-1～105-k データドライバ
 106-1～106-l 走査ドライバ
 107 維持パルス発生器
 121、221 スイッチ手段
 122-1～122-i 第2スイッチ
 30 123、123-1～123-i 負荷容量
 150、250 回収回路
 222-1～222-i 第2スイッチ
 223-1～223-i 負荷容量
 300 出力端子

*

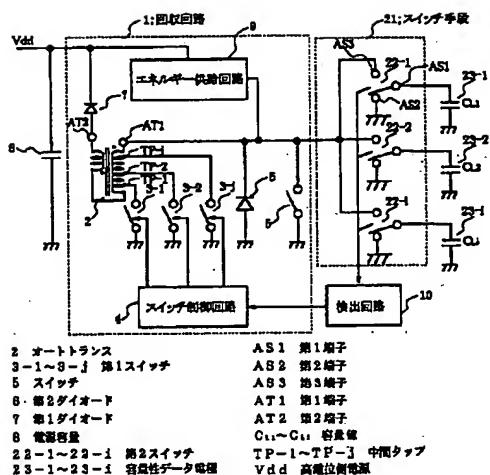
【図5】



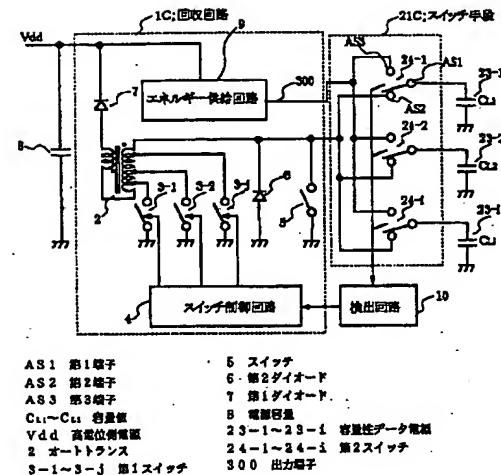
V_{dd} 高電位側電源
 $C_{dd} \sim C_{uu}$ 容量値
 3-j 第1スイッチ
 6 第2ダイオード

7 第1ダイオード
 8 電源容量
 23-i 容量性データ電極

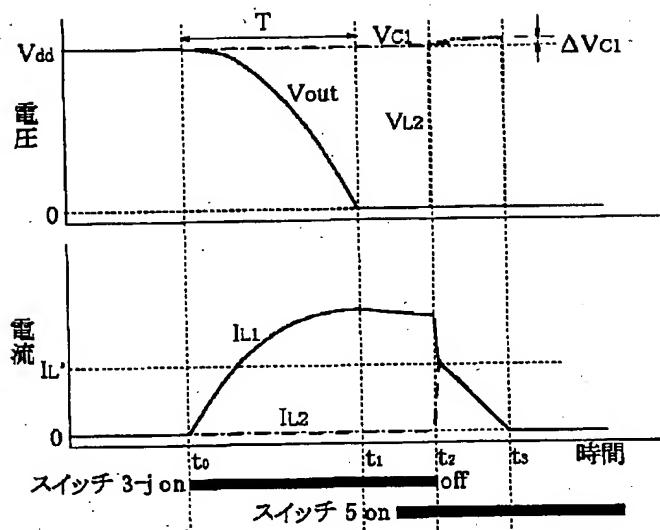
【図1】



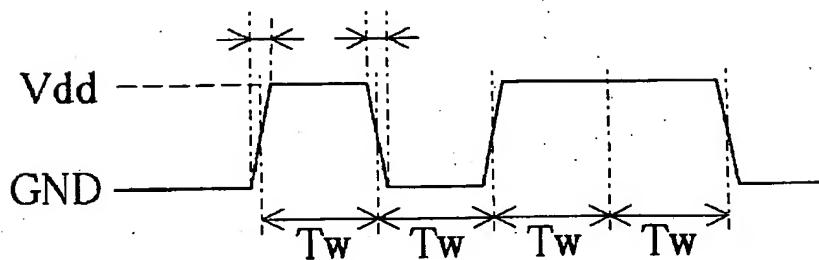
【図8】



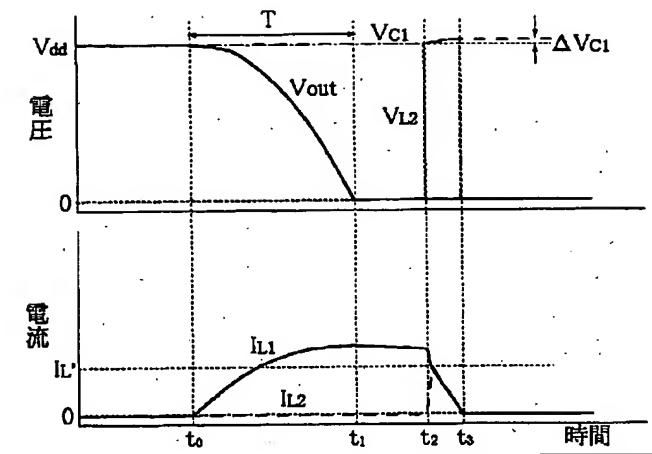
【図2】



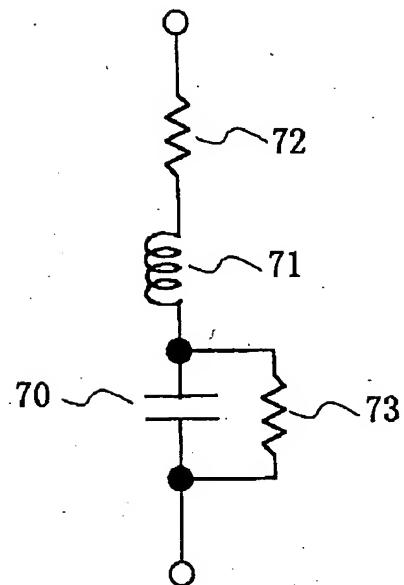
【図11】



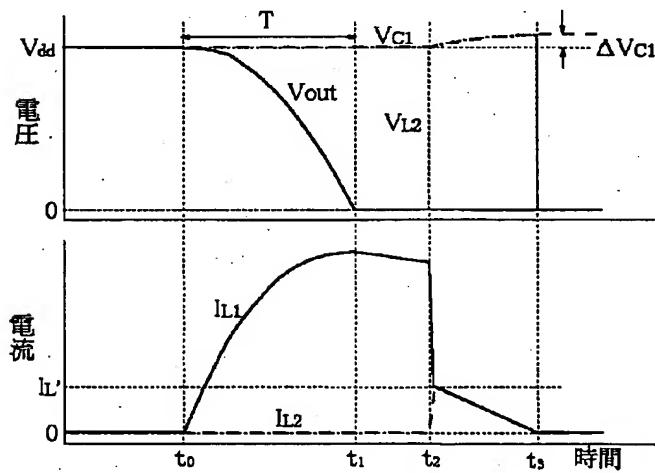
[図3]



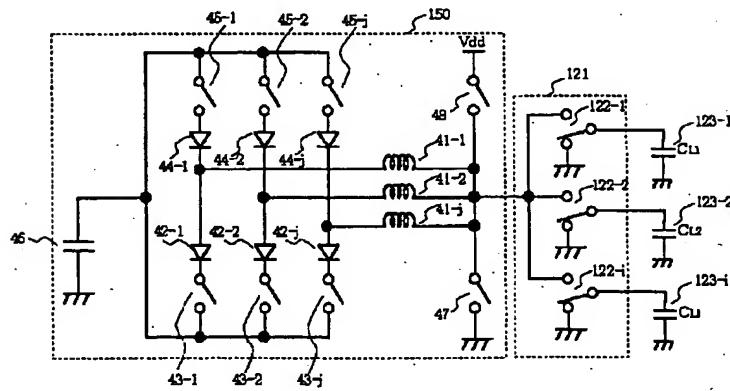
[図16]



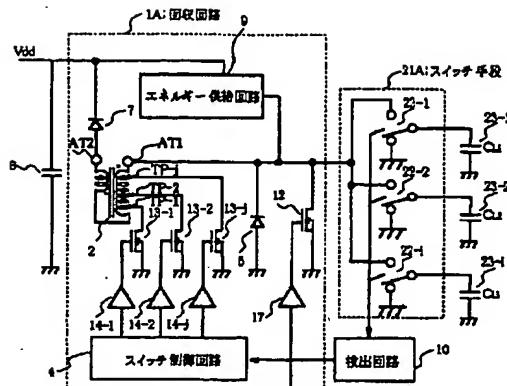
【図4】



〔図14〕

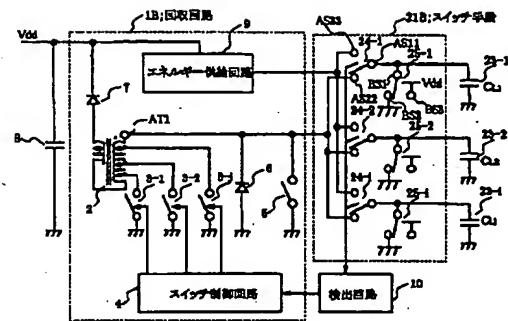


【図6】



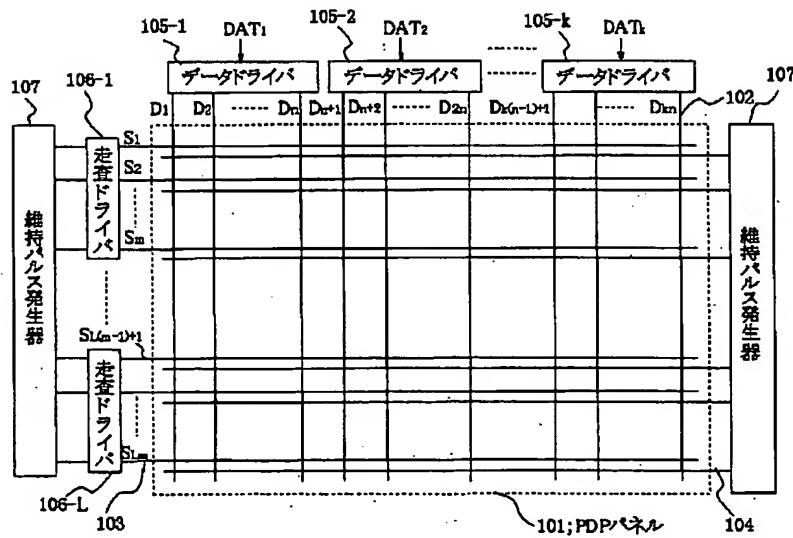
AT1 第1端子
 AT2 第2端子
 2 オートトランス
 6 第2ダイオード
 7 第1ダイオード
 8 電源容量
 12、13-1~13-j N-Tr
 14-1~14-j パッファ
 17 パッファ
 22-1~22-1 第2スイッチ
 23-1~23-1 容量性データ電極
 TP-1~TP-j 中間タップ
 Vdd 高電位側電源

【図7】

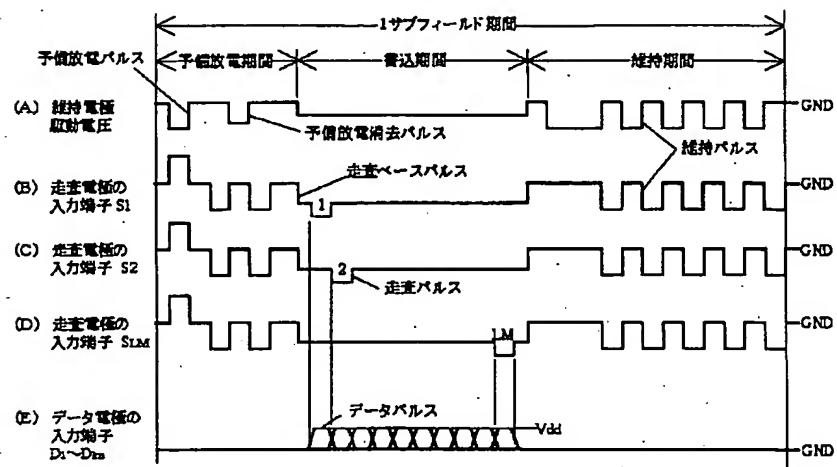


AS11, BS1 第1端子
 AS22, BS2 第2端子
 AS33, BS3 第3端子
 AT1 第1端子
 C1~C4 乾燥電解
 Vdd 高電位側電源
 2 オートトランス
 3-1~3-j 第1スイッチ
 4 スイッチ制御回路
 5 スイッチ
 6 第2ダイオード
 7 第1ダイオード
 8 電源容量
 23-1~23-1 容量性データ電極
 24-1~24-1 第2スイッチ
 25-1~25-1 第3スイッチ

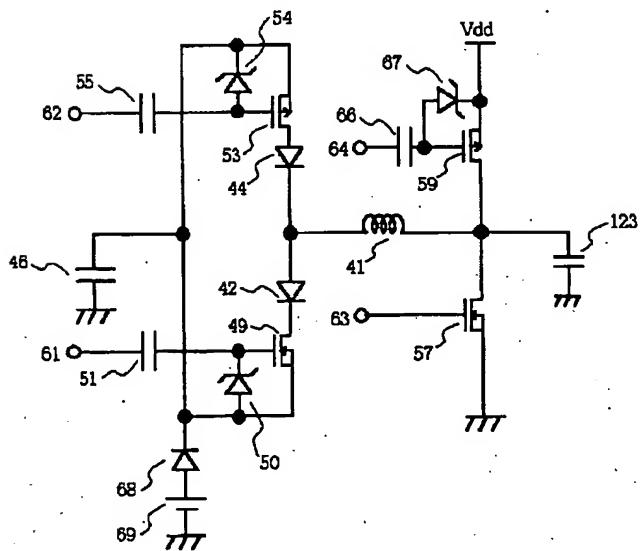
【図9】



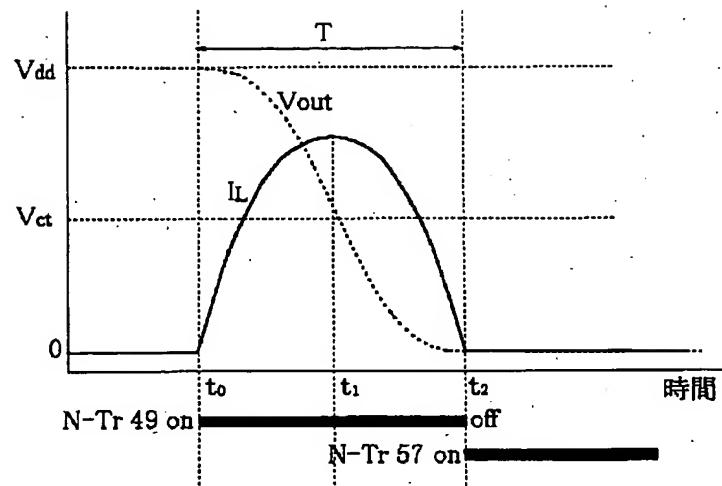
【図10】



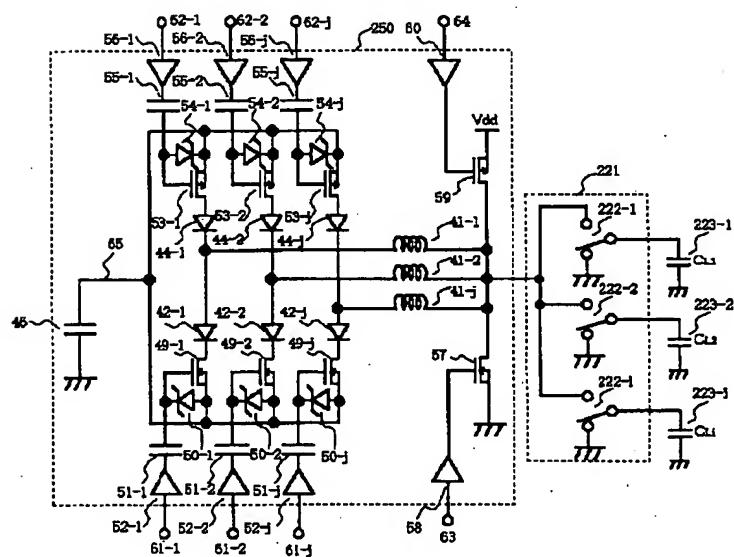
【図12】



[図13]



[図15]



【図17】

